

Titre du stage

Origine et modélisation du bruit de photodiodes à avalanche à photon unique (SPAD)

Contexte général

Les photodiodes à avalanche à photon unique (SPAD) sont devenues les photodétecteurs très appréciés pour la mesure dite de « temps de vol » dans le proche infrarouge grâce à leur forte sensibilité et grande rapidité [1]. Les SPAD sont facilement intégrables dans les technologies CMOS pour couvrir les longueurs d'onde de 500 à 950nm [2] [3]. Les performances des SPAD reposent à la fois sur leur efficacité de détection de photons mais également sur leur bruit (quantifié par le taux de déclenchement dans l'obscurité appelé *Dark Count Rate – DCR* en Hz et la probabilité de déclenchement d'avalanches secondaires ou *after-pulsing*). L'INL mène des travaux sur le développement de nouvelles architectures de photodiode à avalanche à photon unique [4] et de méthodologie de simulations prédictives de leurs performances [5] [6].

Objectifs du stage

Nous souhaitons mener une étude sur l'origine et la modélisation du bruit dans les photodiodes à avalanche à photon unique (SPAD) pour permettre de relier l'architecture et la localisation des défauts intrinsèques au niveau de DCR. Après une étude bibliographique, le travail comportera :

1. un important aspect simulation-modélisation avec pour objectif de proposer une méthodologie pour estimer le DCR en couplant les simulations TCAD et un post traitement externe des données,
2. un aspect expérimental sur une filière SPAD en cours de développement [7] : exploitation de mesures de DCR pour différentes variantes d'architectures, analyses statistiques (éventuellement traitement de données expérimentales de nos partenaires).

Les corrélations entre simulations et données expérimentales devront permettre de mieux comprendre l'origine du bruit et le lien avec l'architecture de la SPAD.

Références

- [1] E. Charbon et al. "SPAD-Based Sensors" in book "TOF Range-Imaging Cameras" ISBN 978-3-642-27523-4 (2013).
- [2] A. Rochas et al. "Low-noise silicon avalanche photodiodes fabricated in conventional CMOS technologies" in IEEE Transactions on Electron Devices, vol. 49, no. 3, pp. 387-394, March 2002 (<https://doi.org/10.1109/16.987107>).
- [3] S. Pellegrini et al. "Industrialised SPAD in 40 nm Technology" International Electron Devices Meeting (IEDM), pp. 16.5.1-16.5.4, 2017 (<https://doi.org/10.1109/IEDM.2017.8268404>).
- [4] T. Chaves de Albuquerque et al. "Integration of SPAD in 28nm FDSOI CMOS technology" ESSDERC 2018, 3-6 sept. 2018, Dresden, Germany, <http://dx.doi.org/10.1109/ESSDERC.2018.8486852>.
- [5] D. Issartel et al. "Avalanche Transient Simulations of SPAD integrated in 28nm FD-SOI CMOS Technology" EUROSOI 2021 Conference EUROSOI-ULIS, 1-3 September 2021, Caen, France. (<https://doi.org/10.1109/EuroSOI-ULIS53016.2021.9560679>)
- [6] S. Gao et al. "3D Electro-optical Simulations for Improving the Photon Detection Probability of SPAD Implemented in FD-SOI CMOS Technology" International Conference on Simulation of Semiconductor Processes and Devices (SISPAD), Dallas, USA, 27-29 Sept. 2021, <https://doi.org/10.1109/SISPAD54002.2021.9592555>.
- [7] D. Issartel et al. "Architecture optimization of SPAD integrated in 28 nm FD-SOI CMOS technology to reduce the DCR" Solid-State Electronics, Elsevier, Volume 191, April 2022, p. 108297, <https://doi.org/10.1016/j.sse.2022.108297>.

Lieu du stage et encadrement

- Institut des Nanotechnologies de Lyon – INL, Campus LyonTech-La Doua, 3 avenue Enrico Fermi, Bâtiment Irène Joliot Curie, Villeurbanne (<https://inl.cnrs.fr/>). Encadrement : Francis Calmon, Thibault Cazimajou (équipe Dispositifs Électroniques).

Conditions

Stage (5-6 mois) indemnisés ~ 600€/mois.

Profil attendu

Ingénieur / Master M2 électronique/microélectronique avec connaissances en physique et technologie des semiconducteurs. Des expériences en simulation TCAD et en fabrication en salle blanche seraient appréciées.

Candidature

Envoyer par email CV, lettre de motivation et relevé de notes M1-M2 à : francis.calmon@insa-lyon.fr.